



— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung schafft eine Halbleiter-Schaltungsanordnung, insbesondere für Zündungsverwendungen, mit einer Halbleiter-Leistungsschalteinrichtung (100), welche einen ersten Hauptanschluss (102), einen zweiten Hauptanschluss (101) und einen Steueranschluss (103) aufweist; einer Klammerdiodeneinrichtung (205a, 205b), welche zwischen den ersten Hauptanschluss (102) und den Steueranschluss (103) geschaltet ist, zum Klammern einer am ersten Hauptanschluss (102) anliegenden externen Spannung (V_A); wobei die Klammerdiodeneinrichtung (205a, 205b) einen ersten Teil (205a) mit einer ersten Klammer-Spannung und einen zweiten Teil (205b) mit einer zweiten Klammer-Spannung aufweist, wobei der zweite Teil (205b) in Serie zum ersten Teil (205a) geschaltet ist; einer steuerbaren Halbleiter-Schalteinrichtung (402), welche parallel zum ersten Teil (205a) geschaltet ist, zum steuerbaren Überbrücken des ersten Teils (205a), so dass entweder die Summenspannung der ersten und zweiten Klammer-Spannung oder die zweite Klammer-Spannung zum Klammern der am ersten Hauptanschluss (102) anliegenden externen Spannung (V_A) vorgesehen ist; und einer Steuerschaltung (403) zum Steuern der steuerbaren Halbleiter-Schalteinrichtung (402) in Abhängigkeit von einem vorbestimmten Betriebszustand der Halbleiter-Leistungsschalteinrichtung (100).

5 Halbleiter-Schaltungsanordnung, insbesondere für Zündungs-
verwendungen, und Verwendung

STAND DER TECHNIK

10 Die vorliegende Erfindung betrifft eine Halbleiter-Schal-
tungsanordnung, insbesondere für Zündungsverwendungen.

Obwohl auch auf andere ähnliche Halbleiterbauelemente an-
wendbar, werden die vorliegende Erfindung sowie die ihr
zugrundeliegende Problematik in bezug auf einen vertikalen
15 IGBT (Insulated Gate Bipolar Transistor) für Zündungsver-
wendungen erläutert.

Allgemein werden die IGBTs als Leistungsschalter im Bereich
von einigen hundert bis einigen tausend Volt Sperrspannung
20 eingesetzt. Insbesondere ist der Einsatz von solchen IGBTs
als Zündtransistor, d.h. als Schalter auf der Primärseite
einer Zündspule, von besonderem Interesse.

Die Struktur eines vertikalen IGBT ist ähnlich derjenigen
25 eines VDMOS-Transistors, allerdings mit dem Unterschied,
dass auf seiner Anodenseite ein p^+ -Emitter anstelle eines
 n^+ -Substrats bei dem VDMOS-Transistor angeordnet ist. Aus
der DE 31 10 230 C3 ist ein vertikales MOSFET-Bauelement
mit der Grundstruktur eines vertikalen IGBT bekannt.

- 2 -

Prinzipiell lassen sich dabei zwei Typen des vertikalen IGBT bzw. V-IGBT unterscheiden, nämlich der sog. Punch-Through-IGBT (PT) und der sog. Non-Punch-Through-IGBT (NPT), wie beispielsweise in Laska et al., Solid-State-Electronics, Band 35, Nr. 5, Seiten 681-685, beschrieben.

Anhand von Fig. 6 werden nachstehend die Grundeigenschaften dieser beiden IGBT-Typen beschrieben.

10

Fig. 6 zeigt eine schematische Querschnittsdarstellung eines bekannten PT- bzw. NPT-IGBT, welcher allgemein das Bezugszeichen 100 trägt.

15 Ein PT-IGBT wird üblicherweise auf einem dicken, p^+ -dotierten Substrat mit einer epitaktisch aufgebracht n-
Bufferschicht 140 und einem ebenfalls epitaktisch auf-
gebrachten n^- -Driftgebiet 104 hergestellt. Da die Dicke des
20 n^- -Driftgebiets 104 für einen möglichst geringen Durchlass-
spannungsabfall geringer gewählt wird, als es die Weite der
Raumladungszone im n^- -Driftgebiet 104 bei der gewünschten
Sperrfähigkeit erfordert, dient die n-Bufferschicht 140 da-
zu, ein Durchgreifen der Raumladungszone zum im Substrat
vorgesehenen rückseitigen p^+ -Emitter 105 zu vermeiden. Um
25 trotz eines guten p^+ -Emitters 105 ein schnelles Abschalten
des Stromes zu erzielen, wird die Trägerlebensdauer über
ein life-time-killing, beispielsweise mittels Bestrahlung,
klein gehalten und/oder die Dotierung der n-Bufferschicht
140 entsprechend hoch gewählt. Da die Durchlassspannung mit

- 3 -

zunehmender Dotierungsdosis der n-Bufferschicht 140 größer wird, ist ein guter Kompromiss zwischen Durchlass- und Abschaltverhalten mit einer hochdotierten dünnen n-Bufferschicht 140 zu erzielen.

5

Ein NPT-IGBT lässt sich aus dem PT-IGBT dadurch ableiten, dass die n-Bufferschicht 140 entfällt und die Dicke des Driftgebiets 104 größer gewählt wird, als es die Weite der Raumladungszone bei der gewünschten Sperrfähigkeit erfordert. Der NPT-IGBT wird üblicherweise auf einem niedrigdotierten Substrat mit hoher Ladungsträgerlebensdauer hergestellt, wobei nach Einbringen der Diffusionsprofile auf der Wafer Vorderseite ein flacher p^+ -Emitter 105 mit nur wenigen μm Eindringtiefe (sehr viel kleiner als 20 μm) und schlechtem Emitterwirkungsgrad auf der Waferrückseite hergestellt wird. Ein derartiger transparenter p^+ -Emitter 105 dient dazu, ein schnelles Abschalten des Stroms im dynamischen Betrieb des Bauelements mit dem Ziel zu gewährleisten, die Abschaltverluste klein zu halten. Um trotz des schlechten p^+ -Emitters 105 befriedigende Durchlasseigenschaften zu erzielen, muss die Trägerlebensdauer im n^- -Driftgebiet 104 möglichst hoch gewählt werden, und ferner ist die Dicke des n^- -Driftgebiets 104 unter Berücksichtigung der gewünschten Sperrfähigkeit des Bauelements möglichst gering zu wählen.

25

Vorderseitig setzen sich ein PT- bzw. NPT-IGBT aus einem aktiven Gebiet 130 und einem Randabschlussgebiet 150 zusammen, wobei letzteres die gewünschte Sperrfähigkeit zum Rand des Chips hin gewährleistet. Das aktive Gebiet 130 setzt

- 4 -

sich aus einer Vielzahl parallel geschalteter zellen- oder streifenförmiger MOS-Steuerköpfe 106, 107, 108 zusammen. Diese MOS-Steuerköpfe 106, 107, 108 werden später im Zusammenhang mit der Funktionsweise von vertikalen IGBTs näher
5 erläutert.

Die MOS-Steuerköpfe 106, 107, 108 erhält man durch fortgesetzte Spiegelung der in Fig. 6 zwischen den Schnitten AA' und BB' dargestellten Halbzelle am Schnitt AA'. Im Randbe-
10 reich 150 sind zum Erreichen der gewünschten Sperrfähigkeit Feldplattenstrukturen üblich. Diese bestehen üblicherweise aus einer als Metallfeldplatte ausgebildeten Kathode 101, einer über die nicht gezeigte dritte Dimension damit elek-
trisch verbundenen Polysiliziumfeldplatte 153a, einer mit
15 einem n⁺-Kanalstopper 155 verbundenen Metallisierung 152 und einer über die nicht gezeigte dritte Dimension mit der Metallisierung 152 elektrisch verbundenen Polysiliziumfeld-
platte 153b. Weiterhin bezeichnet Bezugszeichen 159 ein Feldoxid und Bezugszeichen 110 ein Zwischendielektrikum,
20 das abgesehen von gezielten Kontaktierungen dazu dient, die Metallisierungsebene elektrisch von der Polysiliziumebene zu isolieren.

Nachfolgend wird zunächst die Funktionsweise eines NPT-
25 bzw. PT-IGBT im Durchlassfall näher erläutert.

Ein nur mittels einer dünnen Gateoxidschicht 109 vom Halbleiterkörper isoliertes, üblicherweise aus Polysilizium bestehendes Gate 103 wird gegenüber der Kathode 101 auf ein

- 5 -

Potential oberhalb der Schwellspannung der MOS-Steuerköpfe 106, 107, 108 gebracht. Daraufhin wird im Bereich des p-Bodygebiets 108 ein Inversionskanal an der Halbleiteroberfläche unter dem Gate 103 erzeugt, woraufhin sich die Halbleiteroberfläche im Bereich des n⁻-Driftgebiets 104 im Zustand der Akkumulation befindet. Bei einer gegenüber der Kathode 101 positiven Spannung an der Anode 102 werden Elektronen über das n⁺-Sourcegebiet 106, den influenzierten MOS-Kanal und die Akkumulationsschicht in das n⁻-Driftgebiet 104 injiziert. Daraufhin injiziert der anodenseitige p⁺-Emitter 105 Löcher, wodurch das n⁻-Driftgebiet 104 derart von Ladungsträgern überschwemmt wird, dass seine Leitfähigkeit im aktiven Gebiet 130 und benachbarten Teilen des Randabschlusses 150 erhöht wird. Diese Teile befinden sich bei üblichen Durchlassstromdichten in Hochinjektion. Dadurch ist ein IGPT mit einer Sperrfähigkeit ab ca. 150 - 200 V in der Lage, höhere Stromdichten mit einem kleineren Spannungsabfall zwischen Anode und Kathode zu führen als ein MOS-Transistor mit gleicher Durchbruchspannung. Der Strom fließt im Durchlassfall von der Anode 102 zur Kathode 101. Er wird von Elektronen getragen, die in das n⁻-Driftgebiet 104 injiziert werden und über den anodenseitigen p⁺-Emitter 105 zur Anode 102 abfließen und von Löchern, die von dem anodenseitigen p⁺-Emitter ins n⁻-Driftgebiet 104 injiziert werden und über die p-Gebiete 107, 108 zur Kathode 101 hin abfließen.

Neben den hier diskutierten planaren vertikalen IGBT-Strukturen gibt es außerdem vertikale IGBTs mit so genann-

- 6 -

tem Trench-Gate, bei denen das Gate in Form eines Grabens in die Halbleiteroberfläche eingelassen ist. Siehe dazu I. Omura et al., ISPSD '97, Conf. Proc., S. 217-220. Die Funktionsweise dieser vertikalen IGBTs mit Trench-Gate ist
5 völlig analog zu den vorstehend diskutierten Strukturen, sie bieten jedoch den Vorteil eines geringeren Durchlassspannungsabfalls.

Nachstehend soll die Funktionsweise des NPT- bzw. PT-IGBTs
10 im Sperrfall erörtert werden. Im Sperrfall wird das Gate 103 gegenüber der Kathode 101 auf eine Spannung unterhalb der Schwellspannung gebracht. Bringt man nun die Anode 102 auf ein positives Potential, so dehnt sich die an der Grenze zwischen dem p-Bodygebiet 108 und dem n⁻-Driftgebiet 104
15 ausgebildete Raumladungszone fast ausschließlich in das n⁻-Driftgebiet 104 aus.

Beim NPT-IGBT ist die Dicke der n⁻-Driftzone 104 größer gewählt als die Weite, die die Raumladungszone bei einer gegebenen maximalen Sperrfähigkeit des Bauelements aufweist.
20 Dies führt zu dem in Fig. 6 angedeuteten dreieckförmigen Verlauf (gestrichelte Linie) der elektrischen Feldstärke |E| entlang der Dickenrichtung y des Bauelements. Das Maximum der Feldstärke |E| befindet sich dabei im Bereich der
25 MOS-Steuerköpfe 106, 107, 108.

Beim PT-IGBT ist die Dicke der n⁻-Driftzone 104 kleiner gewählt als die Weite, die die Raumladungszone bei einer gegebenen maximalen Sperrfähigkeit des Bauelements aufweisen

- 7 -

würde. Um ein Auflaufen der Raumladungszone auf den rückseitigen p^+ -Emitter 105 zu verhindern, wird hier die n-dotierte Bufferschicht 140 mit dem Ziel eingebracht, den Punch-Through zu vermeiden. Dies führt zu dem in Fig. 6 angedeuteten trapezförmigen Verlauf (durchgezogene Linie) der elektrischen Feldstärke $|E|$ entlang der Dickenrichtung y des Bauelements. Das Maximum der Feldstärke befindet sich dabei ebenfalls im Bereich der MOS-Steuerköpfe 106, 107, 108.

10

Fig. 7 zeigt eine übliche Schaltungstopologie, in der ein vertikaler IGBT 100 gemäß Fig. 6 als Zündtransistor im Primärkreis einer Zündspule für eine Brennkraftmaschine verwendet wird. Für diese Anwendung als Zündtransistor wird bisher ein V-IGBT mit einer notwendigen Sperrfähigkeit von ca. 400 - 600 V verwendet.

Gemäß Fig. 7 ist der V-IGBT 100, der die Hauptanschlüsse 101 entsprechend Kathode, 102 entsprechend Anode und den Steueranschluss 103 entsprechend Gate aufweist, über eine Primärwicklung einer Zündspule 211 mit der Batteriespannung V_{Bat} am Knoten 210 verbunden. Auf der Sekundärwicklungsseite der Zündspule 211 sind eine Zündkerze 212, ein Schutzwiderstand 214 von 1-2 $k\Omega$ und eine Diode 213 zur Unterdrückung des Einschaltfunkenes angeschlossen.

Der V-IGBT 100 ist integriert in einer Schaltungsanordnung 200, welche die Verbindungsknoten 201, 202 und 203 aufweist. Dabei ist der Verbindungsknoten 202 direkt mit dem

- 8 -

ersten Hauptanschluß 102 des V-IGBT 100 verbunden und der Verbindungsknoten 203, der auf Masse GND liegt, direkt mit dem zweiten Hauptanschluß 101 des V-IGBT 100 verbunden.

- 5 Die weiteren Schaltungskomponenten innerhalb der Schaltungsanordnung 200 dienen zur Ansteuerung und Klammerung des V-IGBT 100. Dabei dient Diode 204 dem Schutz des Gates 103, welches damit verbunden ist, vor Überspannungen. Die Diode 206 verhindert im Durchlassfall einen Stromfluss vom
- 10 Steueranschluss 103 zum Hauptanschluss 102, der über das Halbleitermaterial des V-IGBT mit dem Anschluß 152 verbunden ist. Die Widerstände 207 mit beispielsweise 1 k Ω und 208 mit beispielsweise 10-25 k Ω legen einerseits den Eingangswiderstand der Schaltungsanordnung 200 am Verbindungs-
- 15 knoten 201 für ein Steuersignal ST fest und bilden andererseits die Last einer Klammerdiodeneinrichtung 205, die üblicherweise als eine Klammerdiodenkette aus einer Mehrzahl in Sperrrichtung gepolter Polysilizium-Zenerdioden ausgeführt ist. Die Elemente 204, 205, 206, 207 und 208 sind üb-
- 20 licherweise monolithisch mit dem V-IGBT integriert, wobei außer dem Element 205 auch die Dioden 204, 206 normalerweise aus Polysilizium bestehen.

- Wie skizziert, ist die Klammerdiodeneinrichtung 205 nicht
- 25 direkt mit der Metallisierung der Anode 102 verbunden, da sich diese auf der Chipunterseite befindet und schlecht zugänglich ist. Vielmehr steht sie mit der Metallisierung 152 des Kanalstoppers 155 in Kontakt, welche bis auf eine

- 9 -

Flussspannung das gleiche Potential wie die Anode 102 aufweist. Die Schaltungsanordnung 200 ist von einem Steuergerät direkt über den Verbindungsknoten 201 betreibbar. Dazu wird an den Verbindungsknoten 201 ein Steuersignal ST mit
5 einer positiven Spannung von beispielsweise 5 V gelegt, woraufhin ein Stromanstieg durch die Zündspule 211 initiiert wird.

10 Zu einem bestimmten Zeitpunkt wird die Spannung am Verbindungsknoten 201 auf ca. 0 V reduziert, woraufhin die Spannung an der Metallisierung 152 und am Hauptanschluss 102 und somit am Verbindungsknoten 202 steil ansteigt. Der Spannungsanstieg wird auf die Sekundärseite der Zündspule 211 hochtransformiert und führt zu einem Zündfunken an der
15 Zündkerze 212. Die Klammerdiodenkette 205 hat dabei die Aufgabe, den Spannungsanstieg an dem Hauptanschluss 102 auf die so genannte Klammerspannung V_{KL} von ca. 400 V zu begrenzen, um einerseits den V-IGBT 100 und andererseits die übrigen Schaltungskomponenten der Schaltungsanordnung 200
20 zu schützen. Dies ist insbesondere im so genannten Impulsfall von Bedeutung.

Der Impulsfall tritt auf, wenn z.B. infolge eines abgefallenen Zündkabels kein Zündfunke erzeugt wird. Dann nämlich
25 muss die mit 200 bezeichnete Schaltungsanordnung einschließlich des V-IGBT 100 die sonst im Funken umgesetzte Energie aufnehmen.

Fig. 3 zeigt eine schematische Darstellung des Zeitverlaufs der Klammerung der Anodenspannung bei der üblichen Schaltungsanordnung 200.

- 5 Ein zeitlicher Verlauf der Spannung V_A am ersten Hauptanschluß 102 bzw. am Verbindungsknoten 202 ist in Fig. 3 mit der gepunkteten Kurve 302 angedeutet. Dabei wird angenommen, dass der Zündschalter für $t < 0$ eine gewisse Zeit eingeschaltet war, so dass zum Zeitpunkt $t = 0$ ein Strom von
- 10 typischerweise 7-20 A durch den V-IGBT 100 und die Zündspule 211 fließt. Wird der V-IGBT 100 durch die Reduktion der Spannung des Ansteuersignals ST am Verbindungsknoten 201 auf 0 V bei $t = 0$ abgeschaltet, so zwingt die Zündspule 211 ihm zunächst noch den vollen Strom auf.
- 15 Daraufhin steigt die Spannung V_A am ersten Hauptanschluß 102 steil an. Ohne eine Spannungsbegrenzung würde die Spannung V_A am ersten Hauptanschluß 102 hierbei bis zum Durchbruchwert des V-IGBTs 100 ansteigen und diesen zerstören.
- 20 Dies wird mittels der Klammerdiodeneinrichtung 205 dadurch verhindert, dass beim Erreichen der vorgewählten Klammer-spannung V_{KL} zum Zeitpunkt t_r (t_r beträgt typischerweise einige μs) das Gate 103 des V-IGBTs 100 gerade so stark angesteuert wird, dass ein Überschreiten der Klammerspannung
- 25 V_{K1} am Hauptanschluß 102 vermieden wird.

Läge kein Impulsfall, sondern der Standardbetriebsfall gemäß der durchgezogenen Kurve 301 in Fig. 3 vor, dann würde die Spannung V_A am ersten Hauptanschluß 102 nach ca. $t_1 - t_r$

= 15 μ s einbrechen und nach weiteren ca. 15 μ s bei t_f den Zündfunken an der Zündkerze 212 erzeugen. Die Folge wäre ein Umsatz der in der Zündspule 211 gespeicherten Energie in der Brennkammer während der Funkenbrenndauer $t_3 - t_f$, in der am ersten Hauptanschluß 102 für die meiste Zeit nur die rücktransformierte Brennspeisung von ca. $V_B = 30$ V anliegt. Am Ende der Funkenbrenndauer $t_3 - t_f$ wird die Spannung V_A am Hauptanschluß 102 wieder auf die Batteriespannung $V_{Bat} = 14$ V absinken.

10

Im Impulsfall, gezeigt durch die gepunktete Kurve 302 in Fig. 3, hingegen bleibt die hohe Klammerspannung von ca. 400 V bis zum Zeitpunkt t_4 bestehen, und der durch die Zündspule 211 und den V-IGBT 100 fließende Strom nimmt folglich linear über der Zeit bis zum Zeitpunkt t_4 ab. Zum Zeitpunkt t_4 ist die Spulenenergie abgebaut, d.h. in der Schaltungsanordnung 200 in Form von Wärme umgesetzt, und die Spannung V_A am Anschluß 102 sinkt steil auf die Batteriespannung V_{Bat} ab. Die Zeitspanne $t_4 - t_r$ dauert zwar nur einige Hundert μ s, aber dennoch stellt dieser Betriebsfall durch die hohe umgesetzte Leistung eine hohe Anforderung an die Impulsfestigkeit des IGBTs 100 dar, die nicht immer in ausreichendem Maße zu gewährleisten ist. Die Folge davon ist im schlimmsten Fall eine Zerstörung des IGBTs 100.

25

In J. Yedinak et al., ISPSD '98, Conf. Proc., S. 399-402, wird am Beispiel eines PT-IGBTs gezeigt, dass ein Ausfall folgendermaßen zustande kommt: Im Impulsfall hat die Raumladungszone das gesamte n^- -Driftgebiet 104 erfasst. Über

- 12 -

eine mittels der Klammerdioden 205 kontrollierte Ansteuerung des Gates 103 werden Elektronen über den ausgebildeten MOS-Kanal ins n^- -Driftgebiet 104 injiziert, die den rückseitigen p^+ -Emitter 105 ansteuern. Infolge der hohen Stromdichte, der hohen elektrischen Feldstärke und der damit verbundenen hohen Verlustleistung im Bereich der MOS-Steuerköpfe 106, 107, 108 wird das Bauelement insbesondere im Bereich der Kathode 101 sehr heiß, woraufhin es zu einem Elektronenleckstrom aus den MOS-Steuerköpfen 106, 107, 108 kommt. Die Elektronen laufen in Richtung Anode 102 und steuern den p^+ -Emitter 105 auf. Sie wirken also wie eine zusätzliche Ansteuerung des IGBTs 100.

Um die Spannung auf dem Wert der Klammerspannung zu halten, wird über die Klammerdiodenkette 205 die Ansteuerung des Gates 103 entsprechend reduziert. Unter bestimmten Betriebsbedingungen ist die Aufsteuerung durch den thermisch bedingten Elektronenleckstrom so stark, dass der V-IGBT 100 den Laststrom ohne Gateaufsteuerung führen kann. Seine Steuerbarkeit geht verloren. Daraufhin steigen die Temperatur und der Leckstrom des Bauelements weiter an. Es kommt schließlich zu einer thermischen Mitkopplung und der V-IGBT 100 wird zerstört. In einer Untersuchung zur Abhängigkeit der Impulsfestigkeit der V-IGBTs von der Klammerspannung gemäß Z. J. Shen et al., IEEE Electron Device Letters, Band 21, Nr. 3, März 2000, S. 119-122, zeigt sich, dass die Impulsfestigkeit mit abnehmender Klammerspannung stark zunimmt. Der Grund dafür ist die Reduzierung der im V-IGBT 100 umgesetzten Leistung infolge der abgesenkten Klammer-

- 13 -

spannung, wodurch die während des Impulsfalls im Bereich der MOS-Steuerköpfe 106, 107, 108 auftretende Maximaltemperatur reduziert wird.

- 5 Betrachtet man standardmäßige Zündanlagen von Kraftfahrzeugen, so stellt man fest, dass in diesen die Klammerspannung nicht frei wählbar und insbesondere nicht deutlich reduzierbar ist. Eine deutlich abgesenkte Klammerspannung würde nämlich eine zuverlässige Erzeugung des Zündfunken gefährden.
10

- In Z. J. Shen et al., PCIM '96, Conf. Proc., S. 11-16, ist ein intelligenter V-IGBT mit Strombegrenzung und Übertemperaturabschaltung offenbart, bei dem Polysiliziumdioden als
15 Temperatursensor genutzt werden. Im eingeschalteten Zustand wird der IGBT bei Erreichen einer bestimmten Schwelltemperatur abgeschaltet, indem die monolithisch integrierte Steuerschaltung die Gatespannung reduziert. Als Zündtransistor ist dieser IGBT jedoch ungeeignet, da ihm eine Klammerung fehlt. Außerdem wäre eine Übertemperaturabschaltung
20 durch die Reduktion der Gatespannung im Impulsfall kontraproduktiv, da sie die ebenfalls über die Gatespannung eingreifende Klammerung unwirksam machen würde.

- 25 Die der vorliegenden Erfindung zugrunde liegende Problematik besteht also darin, eine verbesserte Halbleiter-Schaltungsanordnung, insbesondere für Zündungsverwendungen, mit einer gegenüber dem Impulsfall besser schützbaeren Halbleiter-Leistungsschalteinrichtung zu schaffen.

VORTEILE DER ERFINDUNG

- Die erfindungsgemäße Halbleiter-Schaltungsanordnung, insbesondere für Zündungsverwendungen, mit den Merkmalen des Anspruchs 1 bzw. die Verwendung nach Anspruch 9 weisen den Vorteil auf, daß die Halbleiter-Leistungsschalteinrichtung in einer vorgebbaren Betriebsphase besser schützbar ist, ohne seine Klammerspannung in einer anderen vorgebbaren Zeitphase zu reduzieren. Die zur erfindungsgemäßen Ansteuerung zur Bestimmung der Zeitphasen nötigen Schaltungen können vorteilhafterweise monolithisch in die Halbleiter-Leistungsschalteinrichtung integrierbar sein.
- Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, daß die Klammerdiodeneinrichtung einen ersten Teil mit einer ersten Klammerspannung und einen zweiten Teil mit einer zweiten Klammerspannung aufweist, wobei der zweite Teil in Serie zum ersten Teil geschaltet ist. Weiterhin ist eine steuerbare Halbleiter-Schalteinrichtung, welche parallel zum ersten Teil geschaltet ist, zum steuerbaren Überbrücken des ersten Teils vorgesehen, so daß entweder die Summenspannung der ersten und zweiten Klammerspannung oder die zweite Klammerspannung zum Klammern der am ersten Hauptanschluß anliegenden externen Spannung vorgesehen ist. Eine Steuerschaltung dient zum Steuern der steuerbaren Halbleiter-Schalteinrichtung in Abhängigkeit von einem vorbestimmten Betriebszustand der Halbleiter-Leistungsschalteinrichtung.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des Gegenstandes der Erfindung.

- 5 Gemäß einer bevorzugten Weiterbildung ist der vorbestimmte Betriebszustand eine Betriebstemperatur der Halbleiter-Leistungsschalteinrichtung.

- 10 Gemäß einer weiteren bevorzugten Weiterbildung ist ein Temperatursensor zur Erfassung der Betriebstemperatur der Halbleiter-Leistungsschalteinrichtung vorgesehen ist und ist die Steuerschaltung derart gestaltet, daß sie die Halbleiter-Schalteinrichtung dann zum Überbrücken ansteuert, wenn die Betriebstemperatur der Halbleiter-Leistungsschalteinrichtung eine vorbestimmte Temperatur überschreitet.

- 20 Gemäß einer weiteren bevorzugten Weiterbildung ist der vorbestimmte Betriebszustand ein Zustand, der nach einer vorbestimmten Zeitverzögerung nach einem Zustandswechsel eines am Steueranschluß anliegenden Steuersignals vorliegt.

- 25 Gemäß einer weiteren bevorzugten Weiterbildung weist die Steuerschaltung ein Zeitglied zur Erfassung der Zeitverzögerung nach dem Zustandswechsel auf und ist derart gestaltet, daß sie die Halbleiter-Schalteinrichtung dann zum Überbrücken ansteuert, wenn die erfaßte Zeitverzögerung die vorbestimmte Zeitverzögerung überschreitet.

- 16 -

Gemäß einer weiteren bevorzugten Weiterbildung ist die steuerbare Halbleiter-Schaltereinrichtung ein zweiter NMOS-Transistor, dessen Steueranschluß über eine Widerstandseinrichtung und Teile des Halbleiterchips mit dem ersten Hauptanschluß verbunden ist.

Gemäß einer weiteren bevorzugten Weiterbildung ist zwischen der Steuerschaltung und der steuerbaren Halbleiter-Schaltereinrichtung eine Spannungsumsetzungseinrichtung vorgesehen, welche einen ersten NMOS-Transistor, dessen erster Hauptanschluß über zwei antiseriell geschaltete Dioden mit dem Steueranschluß des zweiten NMOS-Transistors verbunden ist und über dessen zweitem Hauptanschluß und Steueranschluß die Steuerschaltung angeschlossen ist, aufweist.

Gemäß einer weiteren bevorzugten Weiterbildung ist die Halbleiter-Leistungsschaltereinrichtung ein vertikaler IGBT, der aufweist: einen rückseitigen Emitterbereich eines zweiten Leitungstyps, ein Driftgebiet des ersten Leitungstyps und einen rückseitigen Anodenkontakt als ersten Hauptanschluß; ein optionales Buffergebiet zwischen dem Driftgebiet und dem rückseitigen Emitterbereich; eine vorderseitige MOS-Steuerstruktur mit einem vorderseitigen Sourcebereich und einem Bodybereich, welche in das Driftgebiet eingebracht sind, und einen über dem Bodybereich und über einem daran angrenzenden Teil des Driftgebiets isoliert angeordneten Steuerkontakt als Steueranschluß; einen vorderseitigen Kathodenkontakt, welcher mit dem vorderseitigen Sourcebereich und dem Bodybereich verbunden ist; wobei die

Klammerdiodeneinrichtung, die Halbleiter-Schaltereinrichtung und die Steuerschaltung vorderseitig zwischen einem aktiven Bereich und einer Randabschlußmetallisierung der Halbleiter-Leistungsschaltereinrichtung integriert sind.

5

ZEICHNUNGEN

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

10

Es zeigen:

Fig. 1 eine schematische Querschnittsdarstellung einer Halbleiter-Schaltungsanordnung für Zündungsverwendungen gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

15

Fig. 2 eine schematische Querschnittsdarstellung eines Steuer- und Schalterteils der Halbleiter-Schaltungsanordnung für Zündungsverwendungen gemäß einer zweiten Ausführungsform der vorliegenden Erfindung;

20

Fig. 3 eine schematische Darstellung des Zeitverlaufs der Klammerung der Anodenspannung der Halbleiter-Leistungsschaltereinrichtung bei der üblichen Halbleiter-Schaltungsanordnung für Zündungsver-

25

wendungen und bei den Ausführungsformen der Erfindung;

- 5 Fig. 4 eine schematische Querschnittsdarstellung einer schaltungstechnischen Integrationslösung der Halbleiter-Schaltungsanordnung für Zündungsverwendungen gemäß den Ausführungsformen der Erfindung;
- 10 Fig. 5 eine schematische Aufsicht der schaltungstechnischen Integrationslösung der Halbleiter-Schaltungsanordnung für Zündungsverwendungen gemäß den Ausführungsformen der Erfindung;
- 15 Fig. 6 eine schematische Querschnittsdarstellung eines bekannten NPT-IGBT bzw. PT-IGBT; und
- 20 Fig. 7 eine übliche Schaltungstopologie, in der ein vertikaler IGBT als Zündtransistor im Primärkreis einer Zündspule für eine Brennkraftmaschine verwendet wird.

BESCHREIBUNG DER AUSFÜHRUNGSBEISPIELE

- 25 In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Komponenten.

Fig. 1 zeigt eine schematische Querschnittsdarstellung einer Halbleiter-Schaltungsanordnung für Zündungsverwendungen

gemäß einer ersten Ausführungsform der vorliegenden Erfindung.

In Fig. 1 bezeichnet Bezugszeichen 400 allgemein eine Halbleiter-Schaltungsanordnung für Zündungsverwendungen gemäß
5 der ersten Ausführungsform mit einer speziellen Beschaltung 401 im Bereich der Klammerdiodeneinrichtung 205a, 205b, welche über die Metallisierung 152 zwischen dem ersten Hauptanschluß 102 und den Steueranschluß 103 geschaltet
10 ist. Bezugszeichen 404, 405, 406, 407 in Fig. 1 bezeichnen bestimmte Schaltungsknoten, auf die später Bezug genommen wird.

Die Klammerdiodeneinrichtung 205a, 205b weist einen ersten
15 Kettenteil 205a mit einer ersten Klammerspannung zwischen den Schaltungsknoten 404, 405 und einen zweiten Kettenteil 205b mit einer zweiten Klammerspannung auf, wobei der zweite Teil 205b in Serie zum ersten Teil 205a geschaltet ist.

20 Weiterhin ist eine steuerbare Halbleiter-Schaltereinrichtung 402 vorgesehen, welche parallel zum ersten Teil 205a geschaltet ist und zum steuerbaren Überbrücken des ersten Teils 205a dient, so daß entweder die Summenspannung der ersten und zweiten Klammerspannung oder die zweite Klammerspannung zum Klammern der am ersten Hauptanschluß 102 an-
25 liegenden externen Spannung V_A vorgesehen ist.

Eine Steuerschaltung 403 dient zum Steuern der steuerbaren Halbleiter-Schaltereinrichtung 402 in Abhängigkeit von ei-

nem vorbestimmten Betriebszustand der Halbleiter-Leistungsschalteinrichtung in Form des V-IGBT 100.

5 Insbesondere kann der Schaltungsanordnung gemäß der vorliegenden Ausführungsform durch diese spezielle Beschaltung ein Klammerverhalten vermittelt werden, wie es durch die gestrichelte Kurve 303 in Fig. 3 dargestellt ist.

10 Der Kerngedanke bei dieser ersten Ausführungsform besteht darin, die Klammerspannung zu einem Zeitpunkt $t_2 > t_f$ nach der Funkenerzeugung von dem hohen Niveau von $V_{KL} = 400 \text{ V}$ auf ein deutlich niedrigeres Niveau V_{KL}' umzuschalten. Diese niedrigere Klammerspannung V_{KL}' liegt vorzugsweise oberhalb der rücktransformierten Brennspannung V_B , um im Standardbetrieb den Brennvorgang nicht zu stören. Beispielsweise ist ein Wert $V_{KL}' = 50 \text{ V}$ ein sinnvoller Wert. Der Zeitpunkt t_2 ist vorzugsweise möglichst kurz nach der Funkenerzeugung zur Zeit t_f zu wählen. Die Reduktion der Klammerspannung nach Erzeugung des Funkens gewährleistet einerseits eine sichere Funkenerzeugung durch Beibehalten der hohen Klammerspannung V_{KL} in der Funkenerzeugungsphase. Andererseits setzt sie die im V-IGBT 100 auftretende Verlustleistung und Wärmegeneration im Impulsfall deutlich herab und erhöht dadurch seine Impulsfestigkeit. Wie Fig. 3 deutlich zeigt, wird der Abbau der in der Zündspule 211 gespeicherten Energie auf ein größeres Zeitintervall verteilt, das zum Zeitpunkt t_5 endet.

15
20
25

Dieses Verhalten ist gemäß dieser Ausführungsform dadurch erzeugbar, dass die an sich bekannte Klammerdiodenkette 205 gemäß Fig. 7 in einen hochsperrenden Teil 205a mit einer Durchbruchspannung von beispielsweise 350 V und einen niedrigsperrenden Teil 205b mit einer Durchbruchspannung von beispielsweise 50 V aufgeteilt ist, wobei der hochsperrende Teil 205a mit der Halbleiter-Schaltereinrichtung 402 überbrückbar ist. Bei offener Schaltereinrichtung 402 liegt die volle Klammerspannung $V_{KL} = 400 \text{ V}$ vor, während bei geschlossener Schaltereinrichtung 402 die reduzierte Klammerspannung V_{KL}' vorliegt.

Die Wahl des Schaltzustandes der Schaltereinrichtung 402 kann durch eine entsprechend gestaltete Steuerschaltung 403 nach vorbestimmten Kriterien geschehen. Beispielsweise erfolgt bei der ersten Ausführungsform eine Temperatursteuerung basierend auf der Chiptemperatur unter Verwendung eines Temperatursensors TS.

Bei der temperaturgesteuerten Schaltungsversion ist die Schaltereinrichtung 402 bei $t = 0$ zunächst offen. Übersteigt die durch den Temperatursensor erfaßte Chiptemperatur wegen des Vorliegens des Impulsfalls einen vorgegebenen Temperaturwert, wird die Schaltereinrichtung 402 durch die Steuerschaltung 403 geschlossen, wodurch die Klammerspannung auf die Spannung V_{KL}' bis zum Ende des Impulsfalls herabgesetzt wird. Dieses Ende kann entweder ebenfalls über die Temperatur erfaßt werden, z.B. Unterschreiten eines

vorgegebenen Temperaturwerts, oder es kann automatisch nach Ablauf einer vorbestimmten Zeit festgelegt werden.

Der für eine solche temperaturabhängige Steuerung notwendige Temperatursensor TS kann beispielsweise mittels Polysiliziumdioden dargestellt werden, deren temperaturabhängige Flussspannung ausgewertet wird. Siehe dazu Z. J. Shen et al., PCIM '96, Conf. Proc., S. 11-16. Außerdem ist generell die Auswertung des temperaturabhängigen Sperrstroms von PN-Übergängen oder der temperaturabhängigen Schwellspannung von MOS-Transistoren als Temperatursensor TS denkbar. Der Temperatursensor TS ist vorzugsweise in der Mitte des aktiven Gebiets 130 anzuordnen, da der Chip dort am heißesten wird. Berücksichtigt man einen bestimmten Temperaturgradienten, so ist jedoch eine von der Chipmitte bzw. vom aktiven Gebiet 130 entfernte Platzierung mit geeigneter Auslegung der Auswertung in der Steuerschaltung 403 ebenfalls möglich. Die Spannungsversorgung des Temperatursensors TS samt zugehöriger Steuerschaltung 403 kann beispielsweise aus der Anodenspannung oder den Schaltungsknoten 405, 406 gemäß dem Stand der Technik abgeleitet werden.

Fig. 2 zeigt eine schematische Querschnittsdarstellung des Steuer- und Schalterteils 401 der Halbleiter-Schaltungsanordnung für Zündungsverwendungen gemäß einer zweiten Ausführungsform der vorliegenden Erfindung.

Bei der zweiten Ausführungsform findet eine zeitgesteuerte Wahl des Schaltzustandes der Schaltereinrichtung 402 gemäß

gemäß Fig 1 statt, welche hier durch den NMOS-Transistor 650 mit dem Steueranschluß 653 realisiert ist, wobei der weitere Schaltungsteil außerhalb des Blocks 403 einen Spannungspegelumsetzer darstellt.

5

Allgemein ist bei der zeitgesteuerten Wahl die Schaltereinrichtung 402 zum Zeitpunkt $t = 0$ ebenfalls offen. Eine vorgegebene Zeit t_2 nach Abschalten der Spannung des Ansteuersignals ST am Verbindungsknoten 201 bei $t = 0$ wird die
10 Schaltereinrichtung 402 geschlossen und die Klammerspannung auf V_{KL}' reduziert.

Die spezielle Steuerschaltung 403 gemäß Fig. 2 umfasst ein RC-Zeitglied bestehend aus einem Widerstand 510 und einem
15 Kondensator 511, wobei letzterer aus einer nur durch das dünne Gateoxid 109 vom Halbleiter getrennten Polysiliziumelektrode gebildet werden kann. Das RC-Zeitglied wird während $t < 0$ von der an dem Verbindungsknoten 201 anliegenden positiven Spannung des Ansteuersignals ST über die Diode
20 509 und den Entkopplungswiderstand 514 maximal bis zu der durch die Diode 504 definierten Spannung aufgeladen.

Ein erster NMOS-Transistor 570 mit einem ersten und zweiten Hauptanschluß 571 bzw. 572 und einem Steueranschluß 573
25 ist dadurch während $t < 0$ eingeschaltet. Zum Zeitpunkt $t = 0$ wird durch Anlegen von 0 V an den Verbindungsknoten 201 der V-IGBT 100 ausgeschaltet. Der Schaltungsknoten 406 liegt dann ebenfalls auf 0 V, und die Diode 509 verhindert

- 24 -

eine schlagartige Entladung des RC-Zeitgliedes, weshalb der erste NMOS-Transistor 570 zunächst eingeschaltet bleibt.

Durch das Abschalten der Spannung am Verbindungsknoten 201 steigt die Spannung V_A am Hauptanschluß 102 bis auf die hohe Klammerspannung V_{KL} von 400 V an. Diese Klammerspannung V_{KL} liegt ungefähr auch an der Metallisierung 152 und demzufolge am Schaltungsknoten 404, während am Knoten 405 und am Knoten 513 ungefähr die niedrigere Klammerspannung V_{KL}' anliegt. Hierzu ist die Durchbruchspannung von der Diode 505 identisch zu derjenigen der zweiten Teildiodenkette 205b zu wählen. Weiterhin sind Gateschutzdioden 507a, 507b für einen im Randbereich des IGBT-Chips angeordneten zweiten NMOS-Transistor 650 vorgesehen, der zunächst gesperrt bleibt.

Der Kondensator 511 des RC-Zeitglieds entlädt sich in der Folgezeit über den Widerstand 510, was zum vorgegebenen Zeitpunkt $t = t_2$ ein Abschalten des ersten NMOS-Transistors 570 zur Folge hat. Infolge des Stromflusses über den hochspannungsfesten Polysiliziumwiderstand 659, der beispielsweise mäanderförmig im V-IGBT-Randbereich angeordnet ist, steigt die Spannung am Knoten 513 an und steuert den zweiten NMOS-Transistor 650 auf. Da dieser dem Schalterelement 402 in Fig. 1 entspricht, wird daraufhin der hochsperrende Teil 205a der Klammerdiodenkette überbrückt und demzufolge die Klammerspannung auf V_{KL}' reduziert.

Von der erläuterten Schaltungsanordnung gemäß der ersten bzw. zweiten Ausführungsform sind prinzipiell alle verwendeten Komponenten monolithisch mit dem V-IGBT 100 integrierbar.

5

Fig. 4 zeigt eine schematische Querschnittsdarstellung einer schaltungstechnischen Integrationslösung der Halbleiter-Schaltungsanordnung für Zündungsverwendungen gemäß den Ausführungsformen der Erfindung.

10

In Fig. 4 bezeichnet 600 allgemein eine integrierte Schaltungsanordnung mit dem aktiven Gebiet 130, einem Logikschaltungsbereich 670 und einem Randabschlussbereich 150', wobei die n-Bufferschicht 140 optional ist.

15

Der bekannte Randabschluss mit den Bestandteilen 152, 153b, 155 gemäß Fig. 6 wird um den hochspannungsfesten Polysiliziummäanderwiderstand 659 und den zweiten NMOS-Transistor 650 gemäß Fig. 2 ergänzt.

20

Der zweite NMOS-Transistor 650 besteht aus einer Sourcemetallisierung 651, die zur Darstellung einer hohen Sperrfähigkeit ebenso mit einer Feldplatte ausgerüstet ist wie ein zugehöriges Polysiliziumgate 653. 656 bezeichnet ein n⁺-Sourcegebiet, 657 eine p⁺-Kontaktdiffusion und 658 ein Bodygebiet, an dessen unter dem Gate 653 gelegenen Oberfläche ein Inversionskanal ausbildbar ist.

25

- 26 -

Im zwischen den Schnitten BB' und CC' angeordneten Logikbereich mit der p-Logikwanne 577 ist stellvertretend für die anderen darstellbaren Komponenten der erste NMOS-Transistor 570 dargestellt. Dieser besteht aus einer Sourcemetallisierung 571, einem n⁺-Sourcegebiet 576, einer n⁺-Drainmetallisierung 572, einem n⁺-Draingebiet 575 und einer Gateelektrode 573. 577 bezeichnet eine zugehörige p-Wanne.

Um eine größere Freiheit bei der Verschaltung zu haben, ist das n⁺-Sourcegebiet 576 über die Sourcemetallisierung 521 einzeln kontaktierbar und nicht mit der p-Wanne 577 kurzgeschlossen. Die p-Wanne 577 befindet sich auf gleichem Potenzial wie der Kathodenbereich 101, 107, 108 des V-IGBT. Dadurch fängt sie wie dieser vom anodenseitigen Emitter 105 emittierte Löcher ein. Um eine möglichst störungsfreie Funktion der Logik sicherzustellen, sollte die p-Logikwanne 577 an möglichst vielen Stellen über die p⁺-Kontaktdiffusion 107 an die Kathode 101 angebunden werden. Eine optimale Lösung stellt das vollständig ringförmige Umschließen jedes einzelnen NMOS-Transistors mit an 101 angeschlossenen p⁺-Kontaktdiffusionen und Bodydiffusionen 107, 108 dar, wie es im Querschnitt gemäß Fig. 4 skizziert ist.

Fig. 5 zeigt eine schematische Aufsicht der schaltungstechnischen Integrationslösung der Halbleiter-Schaltungsanordnung für Zündungsverwendungen gemäß den Ausführungsformen der Erfindung.

- 27 -

In Fig. 5 bezeichnet zusätzlich zu den bereits eingeführten Bezugszeichen 703 ein Gebiet, in dem die Polysiliziumdiokenketten 205a, 205b, 505, 506 angeordnet sind. 702 bezeichnet ein metallisches Gatebondland, das mit dem Gate 103 elektrisch verbunden ist. 701 bezeichnet ein Kathodenbondland, das ein Teilbereich der Kathodenmetallisierung der Kathode 101 im aktiven Teil 130 des V-IGBT ist.

Obwohl die vorliegende Erfindung vorstehend anhand eines bevorzugten Ausführungsbeispiels beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Weise modifizierbar.

Obwohl die Erfindung an einem planaren n-Kanal-PT-IGBT erläutert wurde, ist sie prinzipiell auf andere Leistungsschalter, wie z.B. planare p-Kanal-PT-IGBTs, planare NPT-IGBTs, Trench-PT-IGBTs, Trench-NPT-IGBTs, SPT-IGBTs, MOS-Transistoren mit planarem Gate oder Trench-Gate etc. übertragbar.

Vertauscht man z.B. die Dotierungsarten und die Vorzeichen der anzulegenden Spannung, erhält man aus dem n-Kanal-IGBT einen entsprechenden p-Kanal-IGBT. Allgemein ist dieser dem n-Kanal-NPT-IGBT hinsichtlich der Latch-up-Festigkeit überlegen, aber hinsichtlich der Avalanche-Festigkeit unterlegen.

Die Darstellung von RC-Zeitgliedern mit Zeitkonstanten im μ s-Bereich ist platzintensiv. Eine ebenfalls integrierbare

Alternative wäre die Verwendung eines Multivibrators mit nachgeschaltetem Frequenzteiler, beispielsweise in NMOS-Widerstands-Logik anstelle des RC-Zeitgliedes in der Steuerschaltung. Die oben erläuterten Ausführungsbeispiele einer geschalteten Klammerung können in einer weiteren nicht illustrierten Ausführungsform noch verfeinert werden. Dazu betrachtet man den Fall, dass mehrere Funken in Folge nicht erzeugbar sind. In diesem Fall einer längeren Impulsfolge gemäß Kurve 303 von Fig. 3 steigt die mittlere Verlustleistung im Vergleich zu einer Kette von Impulsen gemäß Kurve 302 von Fig. 3 an. Um daraus resultierende Schäden in der Aufbau- und Verbindungstechnik der Schaltungsanordnung zu vermeiden, sollte daher bei diesem Betrieb durch eine Zusatzlogik ein Warnsignal generiert werden, das die weitere Endstufenansteuerung unterbindet.

Beispielsweise kann zu einer Zeit t , welche zwischen dem Zeitpunkt t_2 und dem Zeitpunkt t_3 liegt, der Spannungszustand von dem Knoten 405 oder dem Gateanschluss 103 abgefragt werden. Liegt dieser über einem bestimmten Schwellenwert, so dass er auf einen Impulsfall gemäß Kurve 303 von Fig. 3 hindeutet, kann entweder direkt eine Unterdrückung des nächsten positiven Ansteuersignals an dem Knoten 406 oder ein Eintrag in einen Fehlerzähler erfolgen, der erst beim Erreichen einer bestimmten Zahl von Impulsen gemäß Kurve 303 von Fig. 3 weitere positive Ansteuersignale an den Knoten 406 unterbindet. Die nötige Logik und der gegebenenfalls nötige Fehlerzähler können in üblicher Weise

- 29 -

ebenfalls monolithisch integriert werden bzw. extern angeordnet werden.

5 Halbleiter-Schaltungsanordnung, insbesondere für Zündungs-
verwendungen, und Verwendung

BEZUGSZEICHENLISTE:

VS, RS	Vorderseite, Rückseite
AA', BB', CC'	Schnitte
102	Anodenanschluß
101	Kathodenanschluß
105	rückseitiger p ⁺ -Emitter
140	n-Bufferschicht
104	n ⁻ -Driftgebiet
109	Gateoxid
108	p-Bodygebiet
106	n ⁺ -Sourcegebiet
107	p ⁺ -Kontaktgebiet
103	Gateanschluß
110	Zwischendielektrikum
130	aktives Gebiet
150	Randbereich
153a	Poly-Feldplatte
153b	Poly-Feldplatte
152	Metallisierung
155	Kanalstopper
159	Feldoxid

E	Feldstärke
y	Dickenrichtung
200,400	Schaltungsanordnung
201,202,203	Verbindungsknoten
204,206	Dioden
205	Klammerdiodenkette
205a,205b	Teilklammerdiodenkette
207,208	Widerstände
GND	Masse
V _A	Spannung an 102
100	V-IGBT
210	Knoten für V _{Bat}
211	Zündspule
213	Diode
214	Widerstand
212	Zündkerze
ST	Steuersignal
401	Zusatzbeschaltung
402	Schalteinrichtung
403	Steuerschaltung
TS	Temperatursensor
404,405,406,407	Schaltungsknoten
514	Widerstand
509, 504	Diode
510,511	RC-Zeitglied
570	erster NMOS-Transistor
571,572,573	Anschlüsse von 570

505, 506, 507a/b, 508, 512	Diode
513	Knoten
650	zweiter NMOS-Transistor
653	Steueranschluß von 650
301, 302, 303	Klammerungskurven
t	Zeit
V_B	rückgekoppelte Brennschpannung
V_{KL}, V_{KL}'	Klammerspannungen
575, 576	Source, Drain von 570
577	p-Wanne von 570
651	Sourcemetallisierung von 650
657, 658	Kontaktdiffusion und Body von 650
656	Source von 650
701	Kathodenbondland
702	Gatebondland
703	Diodenkettengebiet

5 Halbleiter-Schaltungsanordnung, insbesondere für Zündungs-
verwendungen, und Verwendung

PATENTANSPRÜCHE

10 1. Halbleiter-Schaltungsanordnung, insbesondere für Zündungsverwendungen, mit:

einer Halbleiter-Leistungsschaltereinrichtung (100), welche einen ersten Hauptanschluß (102), einen zweiten Hauptanschluß (101) und einen Steueranschluß (103) aufweist;

15 einer Klammerdiodeneinrichtung (205a, 205b), welche zwischen der ersten Hauptanschluß (102) und den Steueranschluß (103) geschaltet ist, zum Klammern einer am ersten Hauptanschluß (202) anliegenden externen Spannung (V_A);

20 wobei die Klammerdiodeneinrichtung (205a, 205b) einen ersten Teil (205a) mit einer ersten Klammerspannung und einen zweiten Teil (205b) mit einer zweiten Klammerspannung (V_{KL}') aufweist, wobei der zweite Teil (205b) in Serie zum
25 ersten Teil (205a) geschaltet ist;

einer steuerbaren Halbleiter-Schaltereinrichtung (402, 650), welche parallel zum ersten Teil (205a) geschaltet ist, zum steuerbaren Überbrücken des ersten Teils (205a),

so daß entweder die Summenspannung (V_{KL}) der ersten und zweiten Klammerspannung oder die zweite Klammerspannung (V_{KL}') zum Klammern der am ersten Hauptanschluß (202) anliegenden externen Spannung (V_A) vorgesehen ist; und

5

einer Steuerschaltung (403) zum Steuern der steuerbaren Halbleiter-Schaltereinrichtung (402) in Abhängigkeit von einem vorbestimmten Betriebszustand der Halbleiter-Leistungsschaltereinrichtung (100).

10

2. Halbleiter-Schaltungsanordnung gemäß Anspruch 1, dadurch gekennzeichnet, dass der vorbestimmte Betriebszustand eine Betriebstemperatur der Halbleiter-Leistungsschaltereinrichtung (100) ist.

15

3. Halbleiter-Schaltungsanordnung gemäß Anspruch 2, dadurch gekennzeichnet, dass ein Temperatursensor (TS) zur Erfassung der Betriebstemperatur der Halbleiter-Leistungsschaltereinrichtung (100) vorgesehen ist und die Steuerschaltung derart gestaltet ist, daß sie die Halbleiter-Schaltereinrichtung (402, 650) dann zum Überbrücken ansteuert, wenn die Betriebstemperatur der Halbleiter-Leistungsschaltereinrichtung (100) eine vorbestimmte Temperatur überschreitet.

20

4. Halbleiter-Schaltungsanordnung gemäß Anspruch 1, dadurch gekennzeichnet, dass der vorbestimmte Betriebszustand ein Zustand ist, der nach einer vorbestimmten Zeitverzögerung eintritt.

25

rung nach einem Zustandswechsel eines am Steueranschluß (103) anliegenden Steuersignals (ST) vorliegt.

5. Halbleiter-Schaltungsanordnung gemäss Anspruch 4, dadurch gekennzeichnet, dass die Steuerschaltung (403) ein
5 Zeitglied zur Erfassung der Zeitverzögerung nach dem Zustandswechsel aufweist und derart gestaltet ist, daß sie die Halbleiter-Schaltereinrichtung (402, 650) dann zum Überbrücken ansteuert, wenn die erfaßte Zeitverzögerung die
10 vorbestimmte Zeitverzögerung überschreitet.

6. Halbleiter-Schaltungsanordnung gemäss einem der vorhergehenden Absprache, dadurch gekennzeichnet, dass die steuerbare Halbleiter-Schaltereinrichtung (402, 650) ein
15 zweiter NMOS-Transistor (650) ist, dessen Steueranschluß (653) über eine Widerstandseinrichtung (659) mit dem ersten Hauptanschluß (102) verbunden ist.

7. Halbleiter-Schaltungsanordnung gemäss Anspruch 6, dadurch gekennzeichnet, dass zwischen der Steuerschaltung
20 (403) und der steuerbaren Halbleiter-Schaltereinrichtung (402, 650) eine Spannungsumsetzungseinrichtung vorgesehen ist, welche einen ersten NMOS-Transistor (570), dessen erster Hauptanschluß (571) mit dem Steueranschluß (653) des
25 zweiten NMOS-Transistors (650) verbunden ist und über dessen zweitem Hauptanschluß (572) und Steueranschluß (573) die Steuerschaltung (403) angeschlossen ist, aufweist.

8. Halbleiter-Schaltungsanordnung gemäss einem der vorhergehenden Absprüche, dadurch gekennzeichnet, dass die Halbleiter-Leistungsschalteinrichtung (100) ein vertikaler IGBT ist, der aufweist:

5

einen rückseitigen Emitterbereich (105) eines zweiten Leitungstyps (p^+), ein Driftgebiet (104) des ersten Leitungstyps (n^-) und einen rückseitigen Anodenkontakt als ersten Hauptanschluß (102);

10

ein optionelles Buffergebiet (140) zwischen dem Driftgebiet (104) und dem rückseitigen Emitterbereich (105);

15

eine vorderseitige MOS-Steuerstruktur mit einem vorderseitigen Sourcebereich (106) und einem Bodybereich (108), welche in das Driftgebiet (104) eingebracht sind, und einen über dem Bodybereich (107, 108) und über einem daran angrenzenden Teil des Driftgebiets (104) isoliert angeordneten Steuerkontakt als Steueranschluß (103); und

20

einen vorderseitigen Kathodenkontakt (101), welcher mit dem vorderseitigen Sourcebereich (106) und dem Bodybereich (108) verbunden ist;

25

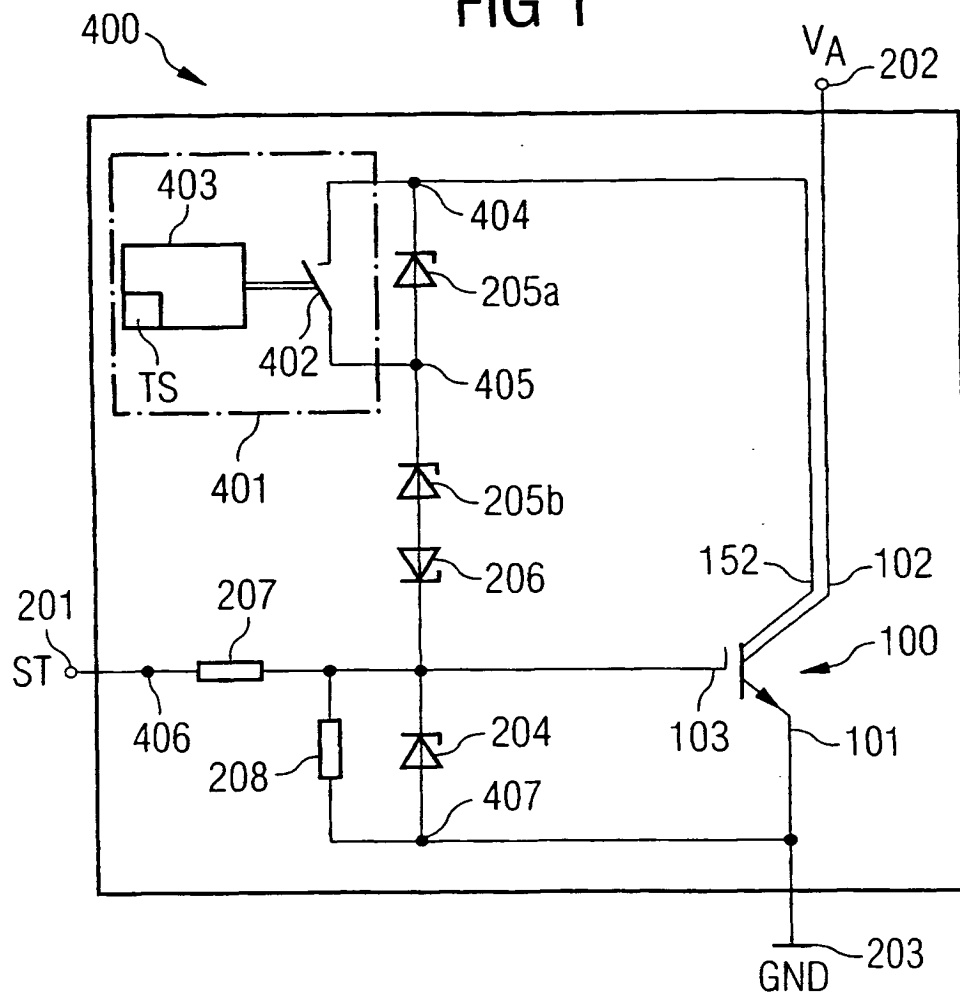
wobei die Klammerdiodeneinrichtung (205a, 205b), die Halbleiter-Schalteinrichtung (402, 650) und die Steuerschaltung (403) vorderseitig zwischen einem aktiven Bereich (130) und einer Randabschlußmetallisierung (152) der Halbleiter-Leistungsschalteinrichtung (100) integriert sind.

9. Verwendung einer Halbleiter-Schaltungsanordnung gemäss einem der vorhergehenden Ansprüche in einer Zündung, wobei der erste Hauptanschluß (102) an eine Primärwicklung einer Zündspule (211) angeschlossen wird und wobei der vorbestimmte Betriebszustand der Halbleiter-Leistungsschaltereinrichtung (100) derart gewählt wird, daß er zeitlich nach einem Zeitpunkt (t_f) auftritt, der für die Erzeugung eines Zündfunken an einer mit der Sekundärwicklung der Zündspule (211) verbundenen Zündkerze (212) vorgesehen ist.

10. Verwendung nach Anspruch 10, dadurch gekennzeichnet, dass die Summenspannung (V_{KL}) zwischen 200 und 650 V liegt und die zweite Klammerspannung (V_{KL}') zwischen 35 und 75 V liegt.

1/7

FIG 1



2/7

FIG 2

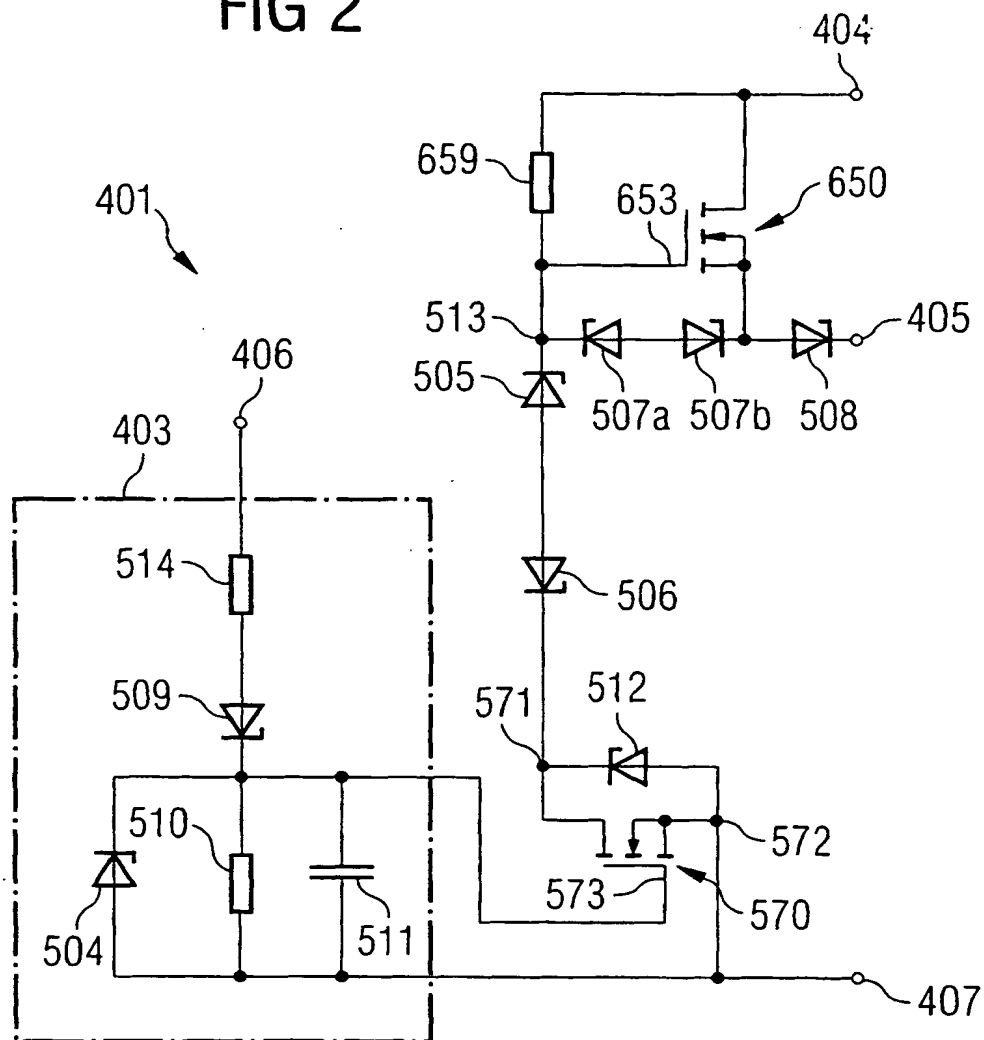
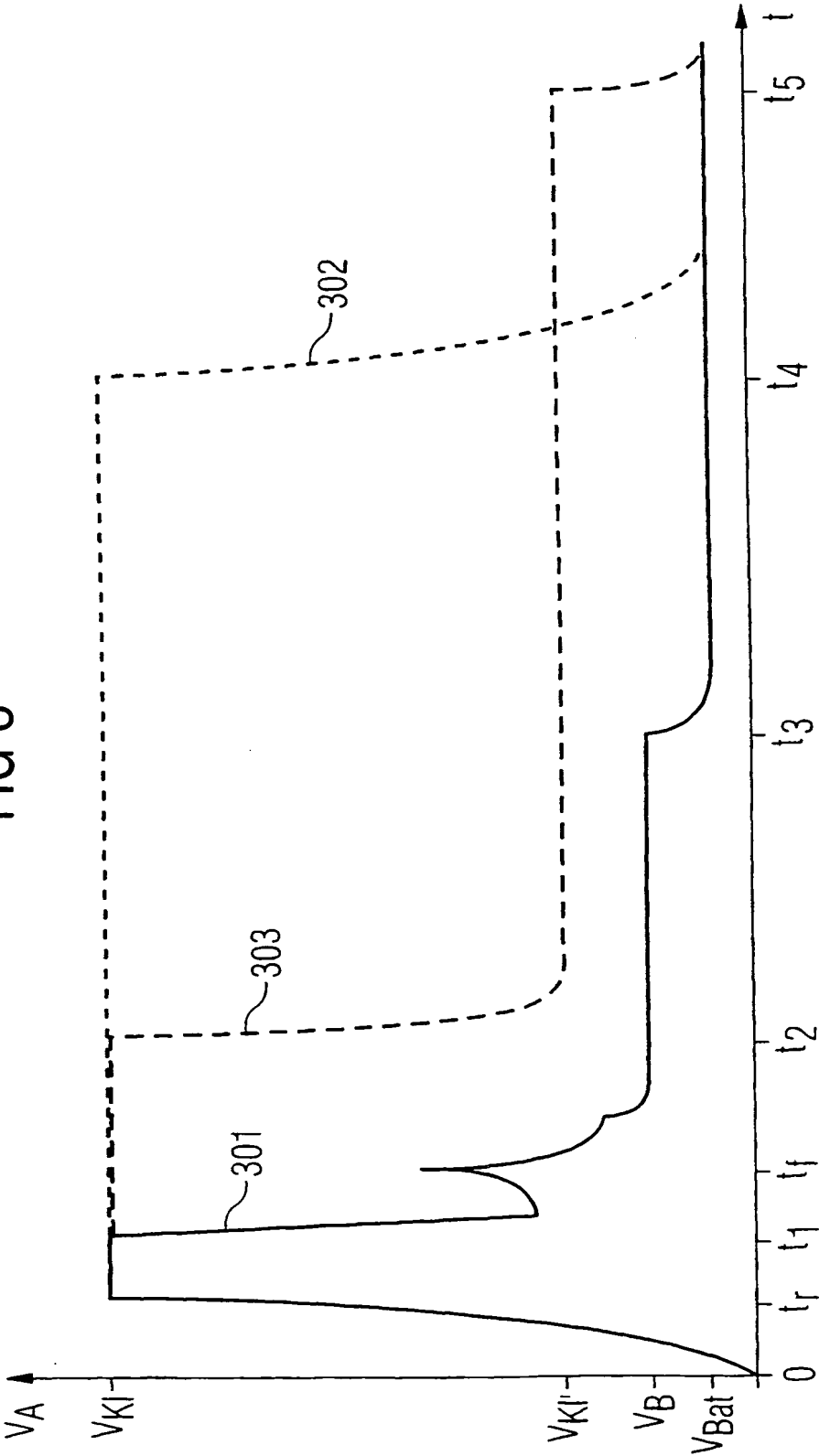
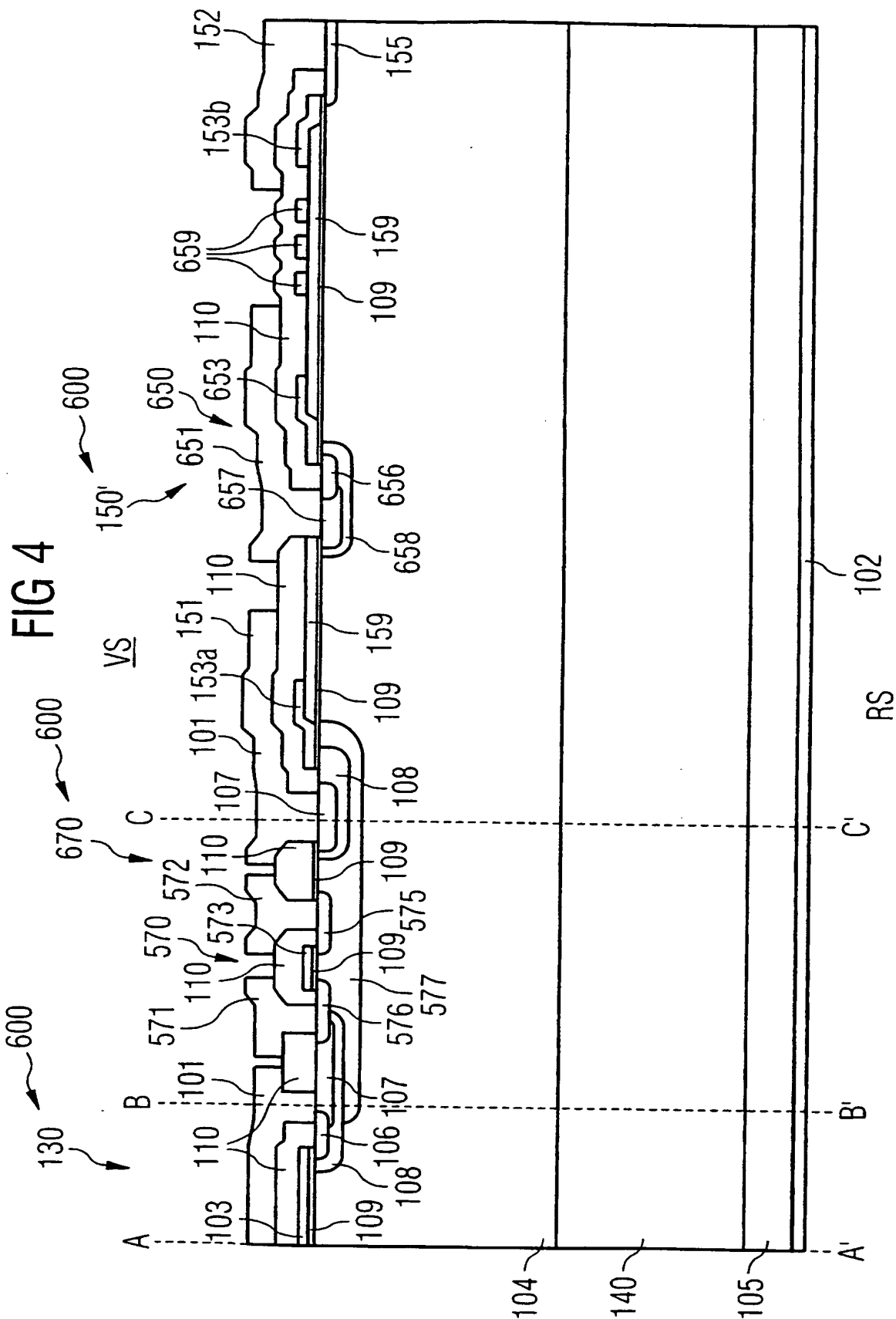


FIG 3



4/7



5/7

FIG 5

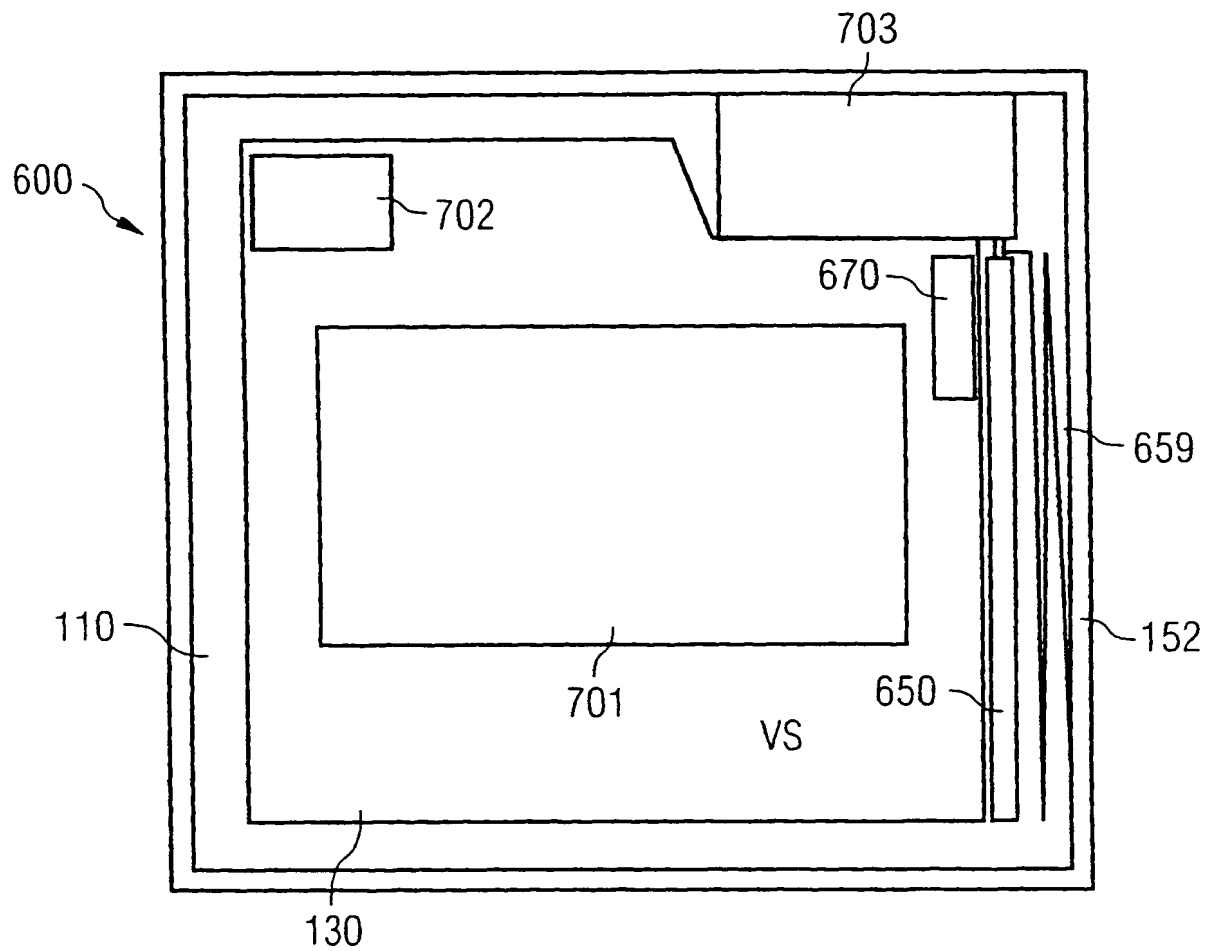
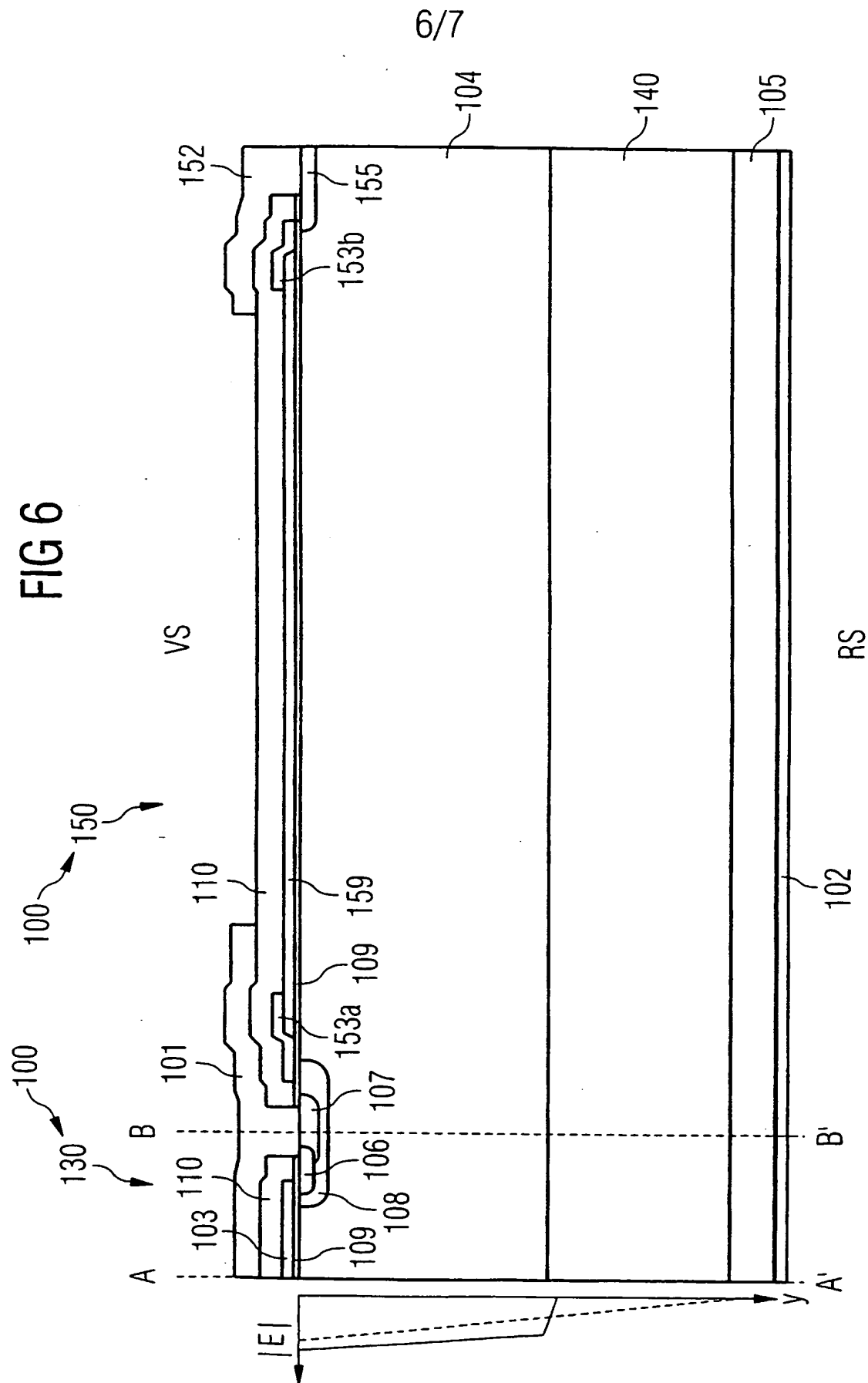
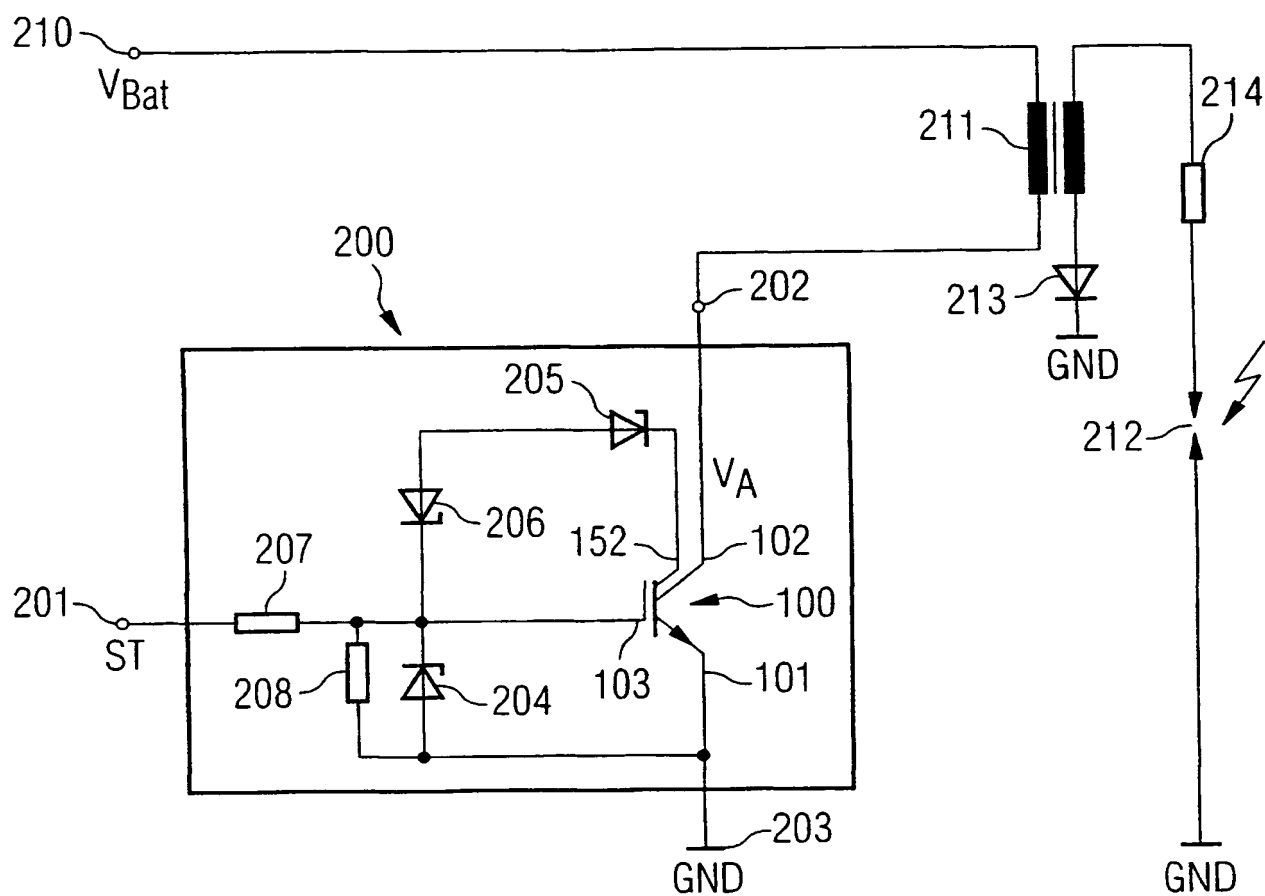


FIG 6



7/7

FIG 7



INTERNATIONAL SEARCH REPORT

Internat Application No

PCT/JP 02/03700

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03K17/082

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 569 982 A (NADD BRUNO C) 29 October 1996 (1996-10-29) column 2, line 21-27 column 3, line 28-65; figures 1,4C,5A,5B ---	1,4,5,9, 10
X	US 5 379 178 A (SCHWENGER JUERGEN ET AL) 3 January 1995 (1995-01-03) column 3, line 15-64; figures 1,3 ---	1
X	DE 198 38 389 C (SIEMENS AG) 9 March 2000 (2000-03-09) column 5, line 25 -column 6, line 16; figure 5 ---	1
X	US 6 087 877 A (GONDA TOMOHIKO ET AL) 11 July 2000 (2000-07-11) column 12, line 65 -column 13, line 56; figure 11 --- -/--	1



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

22 January 2003

Date of mailing of the international search report

14/02/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Moll, P

INTERNATIONAL SEARCH REPORT

Internal Application No
PCT/DE 02/03700

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 197 42 019 A (CIT ALCATEL) 25 March 1999 (1999-03-25) the whole document -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat Application No
PCT/DE 02/03700

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5569982	A	29-10-1996	NONE	
US 5379178	A	03-01-1995	DE 4029794 A1 WO 9203646 A1 DE 59103187 D1 EP 0543826 A1 JP 5509201 T	20-02-1992 05-03-1992 10-11-1994 02-06-1993 16-12-1993
DE 19838389	C	09-03-2000	DE 19838389 C1 WO 0011407 A2 DE 59903575 D1 EP 1110035 A2 NO 20010945 A US 2001017783 A1	09-03-2000 02-03-2000 09-01-2003 27-06-2001 24-04-2001 30-08-2001
US 6087877	A	11-07-2000	JP 11032429 A	02-02-1999
DE 19742019	A	25-03-1999	DE 19742019 A1	25-03-1999

Internal ¹ as Aktenzeichen
PCT/DE 02/03700

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H03K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, IBM-TDB

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 569 982 A (NADD BRUNO C) 29. Oktober 1996 (1996-10-29) Spalte 2, Zeile 21-27 Spalte 3, Zeile 28-65; Abbildungen 1,4C,5A,5B ---	1,4,5,9, 10
X	US 5 379 178 A (SCHWENGER JUERGEN ET AL) 3. Januar 1995 (1995-01-03) Spalte 3, Zeile 15-64; Abbildungen 1,3 ---	1
X	DE 198 38 389 C (SIEMENS AG) 9. März 2000 (2000-03-09) Spalte 5, Zeile 25 -Spalte 6, Zeile 16; Abbildung 5 ---	1

	-/--	

☒ Siehe Anhang Patentfamilie

- *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- *X* Veröffentlichung von besonderer Bedeutung: die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- *Y* Veröffentlichung von besonderer Bedeutung: die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist
- *G* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Absendedatum des internationalen Rechercheberichts

14/02/2003

Bevollmächtigter Bediensteter

Moll, P

INTERNATIONALER RECHERCHENBERICHT

Internat. Aktenzeichen

PCT/DE 02/03700

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 087 877 A (GONDA TOMOHIKO ET AL) 11. Juli 2000 (2000-07-11) Spalte 12, Zeile 65 -Spalte 13, Zeile 56; Abbildung 11 ---	1
X	DE 197 42 019 A (CIT ALCATEL) 25. März 1999 (1999-03-25) das ganze Dokument -----	1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 02/03700

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5569982	A	29-10-1996	KEINE	
US 5379178	A	03-01-1995	DE 4029794 A1	20-02-1992
			WO 9203646 A1	05-03-1992
			DE 59103187 D1	10-11-1994
			EP 0543826 A1	02-06-1993
			JP 5509201 T	16-12-1993
DE 19838389	C	09-03-2000	DE 19838389 C1	09-03-2000
			WO 0011407 A2	02-03-2000
			DE 59903575 D1	09-01-2003
			EP 1110035 A2	27-06-2001
			NO 20010945 A	24-04-2001
			US 2001017783 A1	30-08-2001
US 6087877	A	11-07-2000	JP 11032429 A	02-02-1999
DE 19742019	A	25-03-1999	DE 19742019 A1	25-03-1999